

Requested Patent: JP5160404A

Title: MANUFACTURE OF SEMICONDUCTOR DEVICE ;

Abstracted Patent: JP5160404 ;

Publication Date: 1993-06-25 ;

Inventor(s): ITO MOTOAKI ;

Applicant(s): FUJITSU LTD ;

Application Number: JP19910325834 19911210 ;

Priority Number(s): ;

IPC Classification: H01L29/784 ; H01L27/12 ;

Equivalents:

ABSTRACT:

PURPOSE: To get a film transistor wherein the silicon layer becomes thin in a channel region and becomes thick in source and drain regions by forming a CVD silicon layer and polishing it mechanically.

CONSTITUTION: A mask oxide film 14 is formed leaving the silicon layer 12 of an SOI substrate by approximately 50nm, and is patterned leaving the mask oxide film 14 only on a channel formation planned area, and then an amorphous silicon layer 16 is formed all over the surface by a CVD method. Next, with the mask oxide film 14 as a stopper, it is polished mechanically, leaving the amorphous silicon layer 16 approximately 300nm thick on the region excluding the channel formation area of the silicon layer 12, and then, a CVD oxide film 18 is formed, and with the mask oxide film 14 as a mask, ions of arsenic are implanted. And, when it is annealed, source and drain regions 20 and 22 are made excluding the channel formation area, and when the mask is removed, a film transistor of such an element structure that the silicon layer 12 in the channel formation area is thin and that the periphery becomes thick can be materialized.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-160404

(43) 公開日 平成5年(1993)6月25日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
27/12	Z	8728-4M		
		9056-4M	H 0 1 L 29/78	3 1 1 H

審査請求 未請求 請求項の数3(全5頁)

(21) 出願番号 特願平3-325834

(22) 出願日 平成3年(1991)12月10日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 伊藤 元昭

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 北野 好人

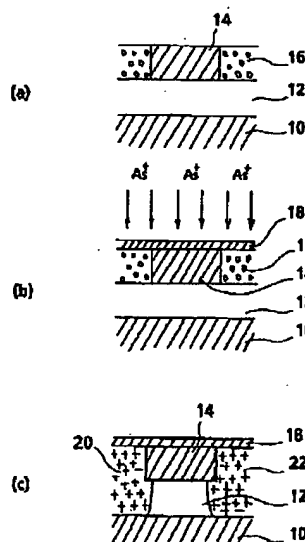
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 本発明は、SOI基板に形成されチャネル領域が完全空乏化する薄膜トランジスタの製造方法に関し、シリコン層がチャネル領域では薄くソース領域及びドレイン領域では厚くなるような薄膜トランジスタの製造方法を提供することを目的とする。

【構成】 SOI基板のシリコン層12表面を酸化してマスク酸化膜14を形成し、マスク酸化膜14をパターニングしてチャネル形成予定領域上のみに残存させ、シリコン層12のチャネル形成予定領域外にCVDシリコン層16を形成し、マスク酸化膜12をマスクとして不純物をイオン注入してソース領域32及びドレイン領域34を形成し、マスク酸化膜14を除去し、シリコン層12のチャネル領域上にゲート酸化膜24を介してゲート電極30を形成するように構成する。

— 実施例による半導体装置の製造方法を示す工程図(その2) —



18—CVD酸化膜
20—ソース領域
22—ドレイン領域

【特許請求の範囲】

【請求項1】 下地酸化膜上にシリコン層が形成されたSOI基板の前記シリコン層表面を酸化してマスク酸化膜を形成する第1の工程と、

前記マスク酸化膜をパターニングして前記シリコン層のチャネル形成予定領域上のみに前記マスク酸化膜を残存させる第2の工程と、

前記シリコン層のチャネル形成予定領域外の領域上にCVD法によるCVDシリコン層を形成する第3の工程と、

前記マスク酸化膜をマスクとして不純物をイオン注入することにより、前記CVDシリコン層及び前記チャネル形成予定領域外の前記シリコン層にソース領域及びドレイン領域を形成する第4の工程と、

前記マスク酸化膜を除去する第5の工程と、

前記シリコン層のチャネル形成予定領域上にゲート酸化膜を形成する第6の工程と、

前記ゲート酸化膜上にゲート電極を形成する第7の工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

前記第3の工程は、

前記マスク酸化膜上及び前記シリコン層上にCVD法によりCVDシリコン層を堆積する工程と、

前記マスク酸化膜をストッパーとして前記CVDシリコン層を研磨することにより、前記シリコン層のチャネル形成予定領域外の領域上に前記CVDシリコン層を残存させる工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1又は2記載の半導体装置の製造方法において、

前記第7の工程は、

全面に多結晶シリコン層を堆積する工程と、

前記多結晶シリコン層を研磨することにより、前記チャネル形成予定領域上に前記多結晶シリコン層を残存させて前記ゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置、特に、SOI基板に形成されチャネル領域が完全空乏化する薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 シリコン層が下地酸化膜上に形成されたSOI (Silicon On Insulator) 基板上に形成される素子として、薄いシリコン層をチャネル領域とする薄膜トランジスタが知られている。この薄膜トランジスタは、チャネル領域を完全空乏化させることにより、良好なスイッチング特性が得られ、短チャネル効果を抑制でき、電子移動度が高くなるという良好な素子特性を得ることが

できると共に、完全な素子分離が可能であるという特徴を有している。

【0003】 薄膜トランジスタのチャネル領域を完全空乏化させるための条件は、SOI基板のシリコン層の不純物濃度によって決定されるチャネル領域の最大空乏幅とシリコン層の厚さによって決定される。ある程度のシリコン層の厚さがあっても不純物濃度が低ければチャネル領域を完全空乏化することができるが、不純物濃度を低くするにも限界があるため、シリコン層の厚さを薄くすることによりチャネル領域が完全空乏化する薄膜トランジスタを実現することが行われている。

【0004】

【発明が解決しようとする課題】 しかしながら、シリコン層の厚さを薄くすると製造工程上において種々の問題が発生する。例えば、チャネル領域を十分に完全空乏化するために、シリコン層の厚さを50nm以下にすると、ソース領域及びドレイン領域を形成するための不純物のイオン注入により発生した結晶欠陥により、コンタクトホールがシリコン層を突き抜けてしまうという問題があった。コンタクトホールがシリコン層を突き抜けて下地酸化膜まで達してしまうと、コンタクト抵抗がシリコン層の厚さによって決定されるようになり、シリコン層が薄いためにコンタクト抵抗が非常に高くなりトランジスタ特性を劣化させるという問題があった。

【0005】 本発明の目的は、シリコン層がチャネル領域では薄くソース領域及びドレイン領域では厚くなるような薄膜トランジスタを形成することができる半導体装置の製造方法を提供することにある。

【0006】

【課題を解決するための手段】 上記目的は、下地酸化膜上にシリコン層が形成されたSOI基板の前記シリコン層表面を酸化してマスク酸化膜を形成する第1の工程と、前記マスク酸化膜をパターニングして前記シリコン層のチャネル形成予定領域上のみに前記マスク酸化膜を残存させる第2の工程と、前記シリコン層のチャネル形成予定領域外の領域上にCVD法によるCVDシリコン層を形成する第3の工程と、前記マスク酸化膜をマスクとして不純物をイオン注入することにより、前記CVDシリコン層及び前記チャネル形成予定領域外の前記シリコン層にソース領域及びドレイン領域を形成する第4の工程と、前記マスク酸化膜を除去する第5の工程と、前記シリコン層のチャネル形成予定領域上にゲート酸化膜を形成する第6の工程と、前記ゲート酸化膜上にゲート電極を形成する第7の工程とを有することを特徴とする半導体装置の製造方法によって達成される。

【0007】

【作用】 本発明によれば、シリコン層のチャネル領域が完全空乏化するのに十分なほど薄いにもかかわらず、チャネル領域外のソース領域及びドレイン領域ではコンタクトホールの突き抜けが発生しない程度に厚くなるよう

3

な薄膜トランジスタを形成することができる。

【0008】

【実施例】本発明の一実施例による半導体装置の製造方法を図1乃至図4を用いて説明する。まず、例えば、SIMOX(Separation by Implanted Oxygen)技術により、下地酸化膜10上に約200nm厚のシリコン層12が形成されたSOI基板を形成する。このSOI基板のシリコン層12表面を約150nm厚さだけウェット酸化して、シリコン層12を約50nm厚だけ残し、約300nm厚のマスキ酸化膜14を形成する(図1(a))。

【0009】次に、マスキ酸化膜14をパターニングして、シリコン層12のチャネル形成予定領域上のみにマスキ酸化膜14を残存させる(図1(b))。次に、CVD法により約400nm厚のアモルファスシリコン層16を全面に堆積する(図1(c))。なお、アモルファスシリコン層16の代わりにCVD法による多結晶シリコン層を堆積してもよい。

【0010】次に、チャネル形成予定領域上に形成されたマスキ酸化膜14をストッパーとしてアモルファスシリコン層16を機械的に研磨し、シリコン層12のチャネル形成予定領域外の領域上に約300nm厚のアモルファスシリコン層16を残存させる(図2(a))。次に、CVD法により約15nm厚のCVD酸化膜18を堆積した後に、チャネル形成予定領域上のマスキ酸化膜14をマスクとして、加速エネルギーが50keV、ドーズ量が $4 \times 10^{15} \text{ cm}^{-2}$ の条件により、砒素(As)をイオン注入する(図2(b))。チャネル形成予定領域外の領域は、約50nm厚のシリコン層12上に約300nm厚のアモルファスシリコン層16が積層されているので、砒素のイオン注入により発生した結晶欠陥の回復が容易であり、その後、コンタクトホールを形成しても従来のように下地酸化膜10までコンタクトホールが突き抜けることがない。

【0011】次に、約950℃で約60分間アニールすると、アモルファスシリコン層16が再結晶化すると共に、イオン注入された砒素が活性化して、チャネル形成予定領域外にソース領域20及びドレイン領域22が形成される(図2(c))。次に、マスキ酸化膜14をフッ酸により除去すると、チャネル形成予定領域のシリコン層12が薄く、周囲のソース領域20及びドレイン領域22が厚い素子構造が実現する(図3(a))。

【0012】次に、ドライ酸化により薄いゲート酸化膜24を全面に形成する(図3(b))。次に、CVD法により約400nm厚の多結晶シリコン層26を全面に堆積する(図3(c))。次に、多結晶シリコン層26に磷(P)を拡散させて低抵抗化した後に、ゲート酸化膜24をストッパーとして多結晶シリコン層26を機械的に研磨し、チャネル形成予定領域上に多結晶シリコン層26を残存させると共に、周囲のゲート酸化膜24を

4

除去してソース領域20及びドレイン領域22を露出させる(図4(a))。

【0013】次に、全面にカバー膜28を形成して、ゲート電極26、ソース領域20及びドレイン領域22とコンタクトするためのコンタクトホールをカバー膜28に形成し、アルミニウムからなるゲート電極30、ソース電極32、ドレイン電極34を形成して、薄膜トランジスタを完成する(図4(b))。このように本実施例によれば、シリコン層のチャネル領域が完全空乏化するのに十分なほど薄いにもかかわらず、チャネル領域外のソース領域及びドレイン領域ではコンタクトホールの突き抜けが発生しない程度に厚くなるような薄膜トランジスタを形成することができる。

【0014】本発明は上記実施例に限らず種々の変形が可能である。例えば、上記実施例では、CVDシリコン層を堆積した後に機械的に研磨することにより、チャネル形成予定領域外の領域上にCVDシリコン層を残存させたが、エッチング等の他の平坦化技術により行ってもよい。また、上記実施例では、多結晶シリコン層を堆積した後に機械的に研磨することにより、ゲート電極を形成したが、他の方法によりゲート電極を形成してもよい。

【0015】

【発明の効果】以上の通り、本発明によれば、シリコン層のチャネル領域が完全空乏化するのに十分なほど薄いにもかかわらず、チャネル領域外のソース領域及びドレイン領域ではコンタクトホールの突き抜けが発生しない程度に厚くなるような薄膜トランジスタを形成することができる。したがって、チャネル領域を完全空乏化させることにより、スイッチング特性が良好で、短チャネル効果を抑制でき、電子移動度が高い良好なトランジスタ特性を有すると共に、ソース電極及びドレイン電極のコンタクト抵抗が低い薄膜トランジスタを実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施例による半導体装置の製造方法を示す工程図(その1)である。

【図2】本発明の一実施例による半導体装置の製造方法を示す工程図(その2)である。

【図3】本発明の一実施例による半導体装置の製造方法を示す工程図(その3)である。

【図4】本発明の一実施例による半導体装置の製造方法を示す工程図(その4)である。

【符号の説明】

10…下地酸化膜
12…シリコン層
14…マスキ酸化膜
16…アモルファスシリコン層
18…CVD酸化膜
20…ソース領域

5

6

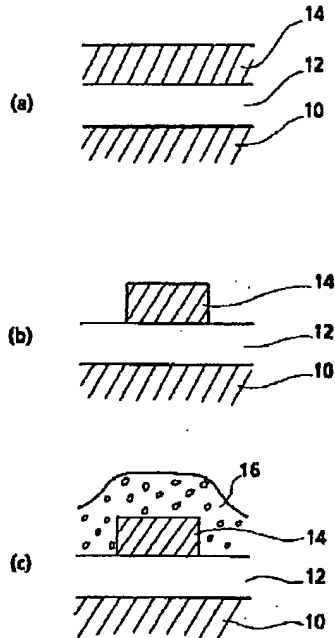
22…ドレイン領域
24…ゲート酸化膜
26…多結晶シリコン層
28…カバー膜

30…ゲート電極
32…ソース電極
34…ドレイン電極

【図1】

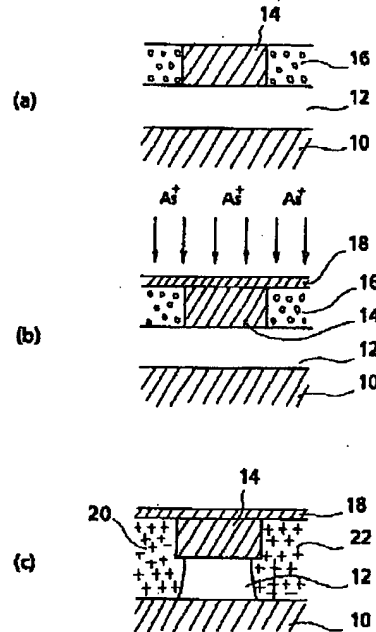
【図2】

一実施例による半導体装置の製造方法を示す工程図(その1)



10…下地酸化膜
12…シリコン層
14…マスク酸化膜
16…アモルファスシリコン層

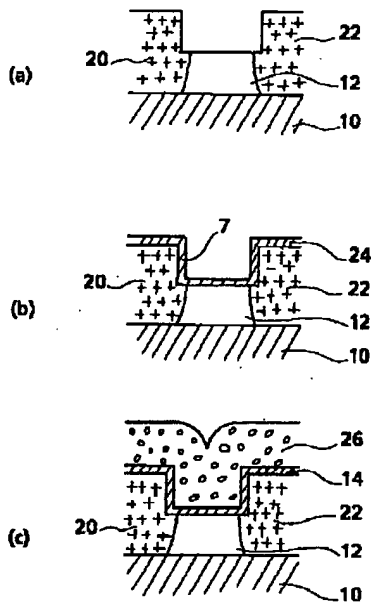
一実施例による半導体装置の製造方法を示す工程図(その2)



18…CVD酸化膜
20…ソース領域
22…ドレイン領域

【図3】

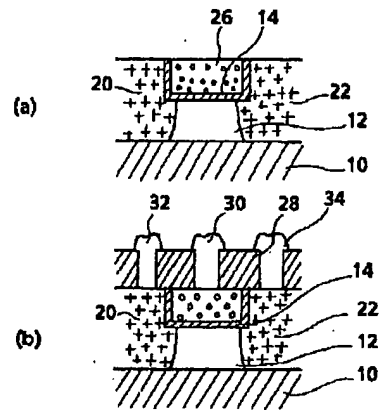
- 実施例による半導体装置の製造方法を示す工程図(その3)



24...ゲート酸化膜
 26...多結晶シリコン層

【図4】

- 実施例による半導体装置の製造方法を示す工程図(その4)



20...カバー膜
 30...ゲート電極
 32...ソース電極
 34...ドレイン電極